IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Masaki KADO, et al.		GA	GAU:	
SERIAL NO: New Application		EXA	EXAMINER:	
FILED: H	Herewith			
	INTERCONNECT, INTERCONNECT FORMING METHOD, THIN FILM TRANSISTOR, AND DISPLAY DEVICE			
REQUEST FOR PRIORITY				
	NER FOR PATENTS A, VIRGINIA 22313			
SIR:				
☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to provisions of 35 U.S.C. §120.			, is claimed pursuant to the	
☐ Full benefi §119(e):	full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. 119(e): <u>Application No.</u> <u>Date Filed</u>			
	s claim any right to priority from any earlier file ons of 35 U.S.C. §119, as noted below.	d applications to which	they may be entitled pursuant to	
In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:				
COUNTRY Japan	<u>APPLICATION NU</u> 2002-269661		NTH/DAY/YEAR ember 17, 2002	
 □ are submitted herewith □ will be submitted prior to payment of the Final Fee □ were filed in prior application Serial No. filed □ were submitted to the International Bureau in PCT Application Number Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304. □ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and □ (B) Application Serial No.(s) □ are submitted herewith □ will be submitted prior to payment of the Final Fee Respectfully Submitted, 				
			VAK, McCLELLAND, USTADT, P.C. Jmm MGullan Jak	
Customer Number		Registration N	Registration No. 24,913	
22850 Tel. (703) 413-3000 Fax. (703) 413-2220 (OSMMN 05/03)		C. Registr	Invin McCleiland ation Number 21,124	

日本 国 特 許 庁 JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 9月17日

出 願 番 号

Application Number:

特願2002-269661

[ST.10/C]:

[JP2002-269661]

出 願 人
Applicant(s):

株式会社 液晶先端技術開発センター

2003年 7月 2日

特許庁長官 Commissioner, Japan Patent Office



特2002-269661

【書類名】 特許願

【整理番号】 020509-402

【提出日】 平成14年 9月17日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/28

H01L 21/283

H01L 21/306

【発明者】

【住所又は居所】 神奈川県横浜市戸塚区吉田町292番地

株式会社液晶先端技術開発センター内

【氏名】 門 昌輝

【発明者】

【住所又は居所】 神奈川県横浜市戸塚区吉田町292番地

株式会社液晶先端技術開発センター内

【氏名】 青森 繁

【発明者】

【住所又は居所】 神奈川県横浜市戸塚区吉田町292番地

株式会社液晶先端技術開発センター内

【氏名】 山元 良高

【特許出願人】

【識別番号】 501286657

【氏名又は名称】 株式会社液晶先端技術開発センター

【代理人】

【識別番号】 100075753

【弁理士】

【氏名又は名称】 和泉 良彦

【電話番号】 03-3214-0502

【選任した代理人】

【識別番号】 100081341

【弁理士】

【氏名又は名称】 小林 茂

【電話番号】 03-3214-0502

【手数料の表示】

【予納台帳番号】 084480

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0118089

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 配線および配線の形成方法

【特許請求の範囲】

【請求項1】

金属拡散防止膜と、前記金属拡散防止膜上に形成された金属シード層と、前記 金属シード層上に形成された金属配線層からなる3層構造を有することを特徴と する配線。

【請求項2】

前記金属配線層が前記金属シード層の上部と側部を囲んでおり、前記金属拡散防止膜の側部には前記金属配線層が成膜しておらず、前記金属配線層の側部と前記金属拡散防止膜の側部の位置が揃っている構造を有することを特徴とする請求項1記載の配線。

【請求項3】

前記金属配線層が前記金属シード層の上部と側部を囲んでおり、前記金属拡散 防止膜の側部には前記金属配線層が成膜しておらず、前記金属配線層の側部が前 記金属拡散防止膜の側部より張り出している構造を有することを特徴とする請求 項1記載の配線。

【請求項4】

前記金属配線層が前記金属シード層の上部に堆積しており、前記金属シード層の側部と前記金属拡散防止膜の側部には前記金属配線層が成膜しておらず、前記金属配線層と前記金属シード層と前記金属拡散防止膜の側部の位置が揃っている 構造を有することを特徴とする請求項1記載の配線。

【請求項5】

金属配線を選択的に形成する配線の形成方法において、

絶縁基体上に金属拡散防止膜を形成する工程と、

前記金属拡散防止膜上に、無電解メッキ法により金属シード層を選択的に形成 する工程と、

選択的に形成した前記金属シード層上に、電解メッキ法により前記金属配線層 を選択的に形成する工程と、 前記金属配線層をマスクとして前記金属拡散防止膜をエッチングする工程と を有することを特徴とする配線の形成方法。

【請求項6】

金属配線を選択的に形成する配線の形成方法において、

絶縁基体上に金属拡散防止膜を形成する工程と、

前記金属拡散防止膜上に、無電解メッキ法により金属シード層を選択的に形成 する工程と、

前記金属シード層をマスクとして前記金属拡散防止膜をエッチングする工程と

選択的に形成した前記金属シード層上に、電解メッキ法により前記金属配線層 を選択的に形成する工程と

を有することを特徴とする配線の形成方法。

【請求項7】

前記絶縁基体が、絶縁基板上に下地絶縁膜を設けてなることを特徴とする請求 項5または6記載の配線の形成方法。

【請求項8】

前記金属シード層を形成した後、アニールを行うことを特徴とする請求項5または6記載の配線の形成方法。

【請求項9】

前記無電解メッキ法により前記金属シード層を選択的に形成する際に、感光性 樹脂からなるマスクを用いることを特徴とする請求項5または6記載の配線の形 成方法。

【発明の詳細な説明】

[0001]

【発明の属する技術分野】

本発明は、液晶表示装置に代表される表示装置や、ULSI等の半導体装置などに用いられる電気配線の形成技術に係り、特に、基板上に選択的に配線抵抗の低い銅もしくは銅を含む合金等からなる配線を形成する配線および配線の形成方法に関する。

 $[000^{\circ}2]$

【従来の技術】

近年のLSI、ULSIに代表される半導体の分野における配線材料としては、集積度の向上による微細化の進展や、動作スピードの向上等により、従来用いられているアルミニウム(A1)を用いた配線よりも、配線抵抗が低く、かつ、エレクトロマイグレーションやストレスマイグレーション等の耐性が高い、銅(Cu)を用いた配線に関する検討が進められている。

[0003]

また、液晶表示装置等に代表される表示装置の分野においても、表示面積の拡大による配線長の増加や、駆動用ドライバ回路や画素内メモリと言った、様々な付加機能の取り込みによる周辺回路部分のモノリシック化等の要求によって、半 導体分野と同様に低抵抗な配線の要求が高まってきている。

[0004]

配線材料としての銅は、前述のように、従来の配線材料であるA1と比較して 、低抵抗性、耐マイグレーション性に優れていることから、次世代の配線材料と して期待されている。

[0005]

しかしながら、従来、微細配線の形成に用いられてきたようにフォトリソグラフィーによるマスキングと、反応性イオンエッチング(Reactive Ion Etching)法等の組み合わせにより、銅を用いた微細配線を形成しようとした場合、銅のハロゲン化物は蒸気圧が低い(すなわち、蒸発しにくい)ために、上記のエッチングによって形成されるハロゲン化物を揮発、除去するためには、プロセス温度として200~300℃でのエッチング処理が必要となるために、銅配線のエッチングによる微細加工は困難であった。

[0006]

このことから、銅を用いた微細配線の形成手法としては、例えば特開2001 -189295号公報や、特開平11-135504号公報に開示されている、 いわゆる、ダマシン法がある。この方法では、まず、基板上の絶縁膜に対して、 あらかじめ所望の配線パターン形状の配線溝を形成し、この溝を埋め込むように スパッタ法等のPVD (Physical Vapor Deposition) や、めっき法、有機金属材料を用いたCVD法等の各種手法により、銅薄膜を前記溝内部および絶縁膜上に全面に渡って形成する。その後、基板表面の銅薄膜を、埋め込まれた溝部分の上部端面まで、化学的機械研磨法 (CMP: Chemical Mechanical Polishing) 等の研磨法や、エッチバック等を用いて除去することによって、銅薄膜を前記溝内部のみに残し、埋め込み型の銅配線パターンを形成する。

[0007]

図10(a)~(e)は、従来のダマシン法を用いた配線の形成方法を示す工 程断面図である。

[0008]

まず、(a)に示すように、ガラス等からなる基板131上に、絶縁膜132を形成し、その上に、研磨停止膜133を形成する。その上にフォトレジスト膜(感光性樹脂膜)134を形成した後、PEP(Photo Engraving Process:写真食刻法。フォトリソグラフィー)を利用してフォトレジスト膜134に、配線を形成する部分に対応する形状を有する溝(開口)135を形成する。

[0009]

次に、フォトレジスト膜134をマスクとして研磨停止膜133および絶縁膜132をエッチングし、(b)に示すように、配線を形成する部分に対応する形状を有する溝136を形成する。

[0010]

次に、溝136を設けた絶縁膜132および研磨停止膜133上に、(c)に示すように、銅拡散防止膜137および銅シード層138を形成する。139は銅拡散防止膜137および銅シード層138形成後の溝である。

[0011]

次に、上述の各種手法のうちの1つを用いて、(d)に示すように、銅シード層138上に、銅配線層140を形成する。

[0012]

次に、研磨停止膜133上の銅配線層140、銅シード層138および銅拡散 防止膜137を上記CMP法を用いて、(e)に示すように、研磨停止膜133 が露出するまで除去し、銅配線層140を溝内部のみに残し、埋め込み型の銅配線パターンを形成する。

[0013]

【発明が解決しようとする課題】

しかしながら、上記の従来行われている種々の手法においては、以下に挙げる ような課題があった。

まず、LSI、ULSI等で盛んに検討されている上記ダマシン法については、配線を埋め込むための溝加工工程や、溝状の配線パターンや上下電極間を接続するビア形状を形成するための成膜工程、フォトリソグラフィー工程、エッチング工程、研磨停止膜の成膜工程が必要であり、製造工程が複雑であり、製造コストが高くなってしまう。

また、配線抵抗を低減するために配線層厚を厚くする必要があることから、アスペクト比の高い溝やビアホールを使用すると、銅の埋め込み性が劣化する問題があった。

また、銅薄膜を基板全面に成膜した後に、不要部分を除去するための上記CM P工程等は、プロセスのスループットが悪いという問題があった。

さらに、LSI、ULSIを作製するための直径12インチ程度のウエハサイズに対しては、大型のCMP装置が開発されているが、液晶表示装置等に代表される表示装置への適用に関しては、LSI等の用途と比較して、より大面積での平坦性等の精度が良好な研磨工程が必要となることから、実用化が困難であった

さらに、液晶表示装置のような大型基板の場合は、上記CMPによる全面研磨や、エッチング法による除去が可能であったとしても、配線として利用される銅薄膜部分は、ガラス基板の面積に比較して非常に小さいために、成膜された銅薄膜の大部分は除去され、廃棄される。この結果、材料として高価な銅の利用効率は非常に悪くなるために、製品の価格が高くなるなどの問題があった。

[0014]

本発明は上記問題を鑑みてなされたものであり、大きな基板上への金属配線の形成を実現でき、また、配線形成における配線材料の省資源化、および製造工程

数の低減による製造コストの削減を実現できる配線および配線の形成方法を提供することを目的とする。

[0015]

【課題を解決するための手段】

上記課題を解決するために、本発明においては特許請求の範囲に記載するような構成をとる。

[0016]

すなわち、請求項1記載の配線は、金属拡散防止膜と、前記金属拡散防止膜上 に形成された金属シード層と、前記金属シード層上に形成された金属配線層から なる3層構造を有することを特徴とする。

[0017]

また、請求項2記載の配線は、請求項1記載の配線において、前記金属配線層が前記金属シード層の上部と側部を囲んでおり、前記金属拡散防止膜の側部には前記金属配線層が成膜しておらず、前記金属配線層の側部と前記金属拡散防止膜の側部の位置が揃っている構造を有することを特徴とする。

[0018]

また、請求項3記載の配線は、請求項1記載の配線において、前記金属配線層が前記金属シード層の上部と側部を囲んでおり、前記金属拡散防止膜の側部には前記金属配線層が成膜しておらず、前記金属配線層の側部が前記金属拡散防止膜の側部より張り出している構造を有することを特徴とする。

[0019]

また、請求項4記載の配線は、請求項1記載の配線において、前記金属配線層が前記金属シード層の上部に堆積しており、前記金属シード層の側部と前記金属拡散防止膜の側部には前記金属配線層が成膜しておらず、前記金属配線層と前記金属シード層と前記金属拡散防止膜の側部の位置が揃っている構造を有することを特徴とする。

[0020]

また、請求項5記載の配線の形成方法は、金属配線を選択的に形成する配線の 形成方法において、絶縁基体上に金属拡散防止膜を形成する工程と、前記金属拡 散防止膜上に、無電解メッキ法により金属シード層を選択的に形成する工程と、 選択的に形成した前記金属シード層上に、電解メッキ法により前記金属配線層を 選択的に形成する工程と、前記金属配線層をマスクとして前記金属拡散防止膜を エッチングする工程とを有することを特徴とする。

[0021]

また、請求項6記載の配線の形成方法は、金属配線を選択的に形成する配線の 形成方法において、絶縁基体上に金属拡散防止膜を形成する工程と、前記金属拡 散防止膜上に、無電解メッキ法により金属シード層を選択的に形成する工程と、 前記金属シード層をマスクとして前記金属拡散防止膜をエッチングする工程と、 選択的に形成した前記金属シード層上に、電解メッキ法により前記金属配線層を 選択的に形成する工程とを有することを特徴とする。

[0022]

また、請求項7記載の配線の形成方法は、請求項5または6記載の配線の形成 方法において、前記絶縁基体が、絶縁基板上に下地絶縁膜を設けてなることを特 徴とする。

[0023]

また、請求項8記載の配線の形成方法は、請求項5または6記載の配線の形成 方法において、前記金属シード層を形成した後、アニールを行うことを特徴とす る。

[0024]

また、請求項9記載の配線の形成方法は、請求項5または6記載の配線の形成 方法において、前記無電解メッキ法により前記金属シード層を選択的に形成する 際に、感光性樹脂からなるマスクを用いることを特徴とする。

[0025]

本発明の配線の形成方法においては、無電解メッキ法と電解メッキ法とを組み合わせることにより、従来のダマシン法のようにCMP(化学的機械研磨法)を用いることなく、基板上へ金属配線を選択的に形成することが可能となり、CMPが困難である大きな基板に対しても低抵抗配線の銅等からなる金属配線の形成を実現できる。また、CMPを用いないで基板上に選択的に配線を形成すること

ができ、配線材料の除去・廃棄を行わないので、配線材料の省資源化が可能となる。また、従来のダマシン法におけるように、CMPのための研磨停止膜の成膜工程や配線を埋め込むための溝形成工程が本発明では不要なので、製造工程数が減少するため、製造コストの削減を実現できる。

[0026]

【発明の実施の形態】

以下、図面を用いて本発明の実施の形態について詳細に説明する。なお、以下で説明する図面で、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

[0027]

実施の形態1

図4 (a) ~ (f) は、本発明の実施の形態1の配線の形成方法を示す工程断面図である。

[0028]

本実施の形態1は、無電解メッキ法と電解メッキ法とを組み合わせることにより、基板上へ選択的に形成された銅拡散防止膜と銅シード層と銅配線層から成る 配線の形成方法である。

[0029]

まず、図4(a)に示すように、ガラス等からなる基板11上にPE(Plasma -Enhanced) - C V D 法により、下地の絶縁膜12として酸化シリコン膜(SiO₂膜)を全面に堆積させた後、スパッタリングガスとしてアルゴンガスと窒素ガスをそれぞれ7sccm、3sccmで流しながら、ターゲットにタンタルを使用して銅拡散防止膜14として窒化タンタル膜(TaN膜)をスパッタ法により成膜する。あるいは、銅拡散防止膜14として、窒化タンタル膜の代わりに、スパッタリングガスとしてアルゴンガスを10sccmで流しながら、ターゲットにタンタルを使用してタンタル膜(Ta膜)をスパッタ法により成膜してもよい。さらに、銅拡散防止膜14としては、この他、TiN膜、TaSiN膜、WSiN膜などが使用可能である。なお、ガラス等からなる基板11と下地絶縁膜12を合わせて絶縁基体13と称す。すなわち、絶縁基体13は、基板11上に

下地絶縁膜12を設けてなる。

[0030]

前述のように、従来の銅配線の形成に用いられるダマシン法では、銅拡散防止膜の成膜前にCMP(化学的機械研磨法)のための研磨停止膜(図10(a)の33)の成膜、および配線を埋め込むための溝(図10(b)の36)を形成するエッチング工程が必要であるが、本発明ではこれらの工程は必要ではない。したがって、本発明では工程数を低減することができ、したがって製造コストの削減を行うことができる。

[0031]

次に、銅拡散防止膜14の表面の有機物およびパーティクルの除去のためにアセトンを用いた超音波洗浄を行った後、銅拡散防止膜14の表面酸化膜の除去のために濃度5%のフッ化水素酸溶液を用いた洗浄を行う。そして、PEP(写真食刻法。フォトリソグラフィー)を利用して、配線を形成しない箇所にのみ、図4(b)に示すように、フォトレジスト膜(感光性樹脂膜)15をパターニングする。すなわち、銅拡散防止膜14の上に、フォトレジスト膜15を形成した後、PEPによりフォトレジスト膜15に、配線を形成する部分に対応する形状を有する溝16を形成する。

[0032]

次に、この基板17を塩化第1スズ溶液に浸漬して、露出された銅拡散防止膜 14の表面に第1スズイオン(Sn²⁺)を付着させる。その後、基板17を塩 化パラジウム溶液に浸漬して、露出された銅拡散防止膜14の上に、無電解銅メ ッキ反応において触媒として作用するPdを析出させる。このとき、基板17の 表面では、

$$S n^{2+} + P d^{2+} = S n^{4+} + P d$$

という酸化還元反応が起こる。そして、銅拡散防止膜 14 の表面に残留している Sn^{2+} および Sn^{4+} を除去するため、硫酸により洗浄を行う。その後、無電解銅メッキ溶液に浸漬し、銅拡散防止膜 14 が露出している箇所にのみ選択的に、図 4 (c) に示すように、銅からなる銅シード層 18 を成膜する。

[0033]

次に、純水を用いた洗浄、乾燥を行った後、有機溶剤を用いて、図4 (d)に示すように、フォトレジスト膜15を除去し、真空中において400℃、10分間のアニールを行う。

[0034]

アニールの結果、銅シード層18の結晶粒径が増大し、表面ラフネス(凹凸) が増大し、比抵抗が低減し、そして膜応力が低減した。

[0035]

図5に、銅シード層18の膜応力のアニールによる変化を示す。

シード層上に電解メッキ法により成膜する薄膜の膜応力は、下地のシード層の 膜応力を反映するため、この銅シード層18の膜応力を低減することで、その上 に電解メッキ法により成膜する銅配線層の膜応力が低減され、銅配線層形成時に 発生する銅拡散防止膜14に対する銅配線層の膜剥がれを抑制することが可能と なる。

[0036]

アニール後の基板19に対する表面酸化膜除去のため、濃度5%のフッ化水素酸溶液を用いて洗浄を行った後、基板19をカソードに、そして白金電極をアノードに設置して硫酸銅溶液中で定電流装置を用いて電極間に電流を流すという電解メッキ法により、図4(e)に示すように、銅配線層20を成膜する。電解メッキ法では、カソードにおける銅の析出反応に銅シード層18の存在が不可欠であるため、銅拡散防止膜14上には銅配線層20は堆積せず、銅シード層18上(図4(e)に示すように銅シード層18の側壁上も含む)に選択的に銅配線層20を成膜できる。このようにCMPを用いないで基板上に選択的に配線を形成することができ、配線材料の除去・廃棄を行わないので、配線材料の省資源化が可能となる。

[0037]

電解メッキ処理の終了後、純水を用いて洗浄し、乾燥を行った後、銅配線層2 0をマスクとしてRIE (Reactive Ion Etchig) 法により銅拡散防止膜14の エッチングを行い、図4(f)に示すように、配線部以外の箇所の銅拡散防止膜 14を除去する。 [0038]

以上で配線層材料として銅を用いた配線が完成する。その構造は、図4 (f)に示すように、銅配線層20が銅シード層18の上部と側部を囲んでおり、銅拡散防止膜14の側面には銅が堆積しておらず、かつ、銅配線層20の側部と銅拡散防止膜14の側部の位置がそろっているという特徴を有する。

[0.03.9]

このように、本実施の形態1では、CMP(化学的機械研磨法)を用いることなく、配線層材料として銅を用いた配線を形成することができることから、CMPが困難である大面積の基板に対しても適用可能である。

[0040]

なお、各膜の膜厚は、絶縁膜12が400ヵm、銅拡散防止膜14が50ヵm、無電解メッキ法で成膜した銅シード層18が50ヵm、電解メッキ法で成膜した銅配線層20が400ヵmである。

[0041]

図1は本実施の形態1の配線の構造を示す断面図である(図4(f)と同じ)

本実施の形態1の配線は、図1に示すように、金属拡散防止膜、すなわち、銅拡散防止膜14と、銅拡散防止膜14上に形成された金属シード層、すなわち、銅シード層18と、銅シード層18上に形成された金属配線層、すなわち、銅配線層20からなる3層構造を有することを特徴とする。

[0042]

また、銅配線層20が銅シード層18の上部と側部を囲んでおり、銅拡散防止膜14の側部には銅配線層20が成膜しておらず、銅配線層20の側部と銅拡散防止膜14の側部の位置が揃っている構造を有することを特徴とする。

[0043]

また、本実施の形態1の配線の形成方法は、金属配線を選択的に形成する配線の形成方法において、絶縁基体13上に銅拡散防止膜14を形成する工程と、銅拡散防止膜14上に、無電解メッキ法により銅シード層18を選択的に形成する工程と、選択的に形成した銅シード層18上に、電解メッキ法により銅配線層2

○を選択的に形成する工程と、銅配線層 2 ○をマスクとして銅拡散防止膜 1 4 を エッチングする工程とを有することを特徴とする。また、銅シード層 1 8 を形成 した後、アニールを行うことを特徴とする。また、無電解メッキ法により銅シー ド層 1 8 を選択的に形成する際に、感光性樹脂からなるマスク、例えばフォトレ ジスト膜 1 5 を用いることを特徴とする。

[0.0.44]

実施の形態2

図6(a)~(f)は、本発明の実施の形態2の配線の形成方法を示す工程断面図である。

[0045]

本実施の形態2も、無電解メッキ法と電解メッキ法とを組み合わせることにより、基板上へ選択的に形成された銅拡散防止膜と銅シード層と銅配線層から成る 配線の形成方法である。

[0046]

上記実施の形態 1 の図 4 (a) における基板 1 1 上への下地の絶縁膜 1 2 および銅拡散防止膜 1 4 の成膜から、図 4 (d) における銅シード層 1 8 の成膜およびアニールまでは、本実施の形態 2 の図 6 (a) \sim (d) と全く同様なので、説明を省略する。

[0047]

図6(d)に示すように、銅シード層18を成膜し、アニールを行った後、銅シード層18をマスクとしてRIE法により銅拡散防止膜14のエッチングを行い、図6(e)に示すように、配線部以外の箇所の銅拡散防止膜14を除去する

[0048]

エッチング後の基板21に対して表面酸化膜除去のため、濃度5%のフッ化水素酸溶液を用いて洗浄を行った後、基板21をカソードに、そして白金電極をアノードに設置して硫酸銅溶液中で定電流装置を用いて電極間に電流を流すという電解メッキ法により、図6(f)に示すように、銅配線層20を成膜する。電解メッキ法では、カソードにおける銅の析出反応に銅シード層18の存在が不可欠

であるため、下地絶縁膜12および銅拡散防止膜14上には銅配線層20は堆積 せず(銅拡散防止膜14の側壁上にも堆積しない)、銅シード層18上に選択的 に銅配線層20が成膜できる。このように基板上において選択的に配線を形成す ることができ、配線材料の除去・廃棄を行わないので、配線材料の省資源化が可 能となる。電解メッキ処理の終了後、純水を用いて洗浄し、乾燥を行う。

[.0 0 4 9.]

以上で配線層材料として銅を用いた配線が完成する。その構造は、銅配線層2 0が銅シード層18の上部と側部を囲んでおり、銅拡散防止膜14の側面には銅が堆積しておらず、かつ、銅配線層20の側部が銅拡散防止膜14の側部より張り出しているという特徴を有する。

[0050]

このように、本実施の形態2においても、CMP(化学的機械研磨法)を用いることなく、配線層材料として銅を用いた配線を形成することができることから、CMPが困難である大面積の基板に対しても適用可能である。

[0051]

なお、各膜の膜厚は、絶縁膜12が400nm、銅拡散防止膜14が50nm、無電解メッキ法で成膜した銅シード層18が50nm、電解メッキ法で成膜した銅配線層20が400nmである。

[0052]

図2は本実施の形態2の配線の構造を示す断面図である(図6(f)と同じ)

本実施の形態2の配線は、図2に示すように、銅配線層20が銅シード層18の上部と側部を囲んでおり、銅拡散防止膜14の側部には銅配線層20が成膜しておらず、銅配線層20の側部が銅拡散防止膜14の側部より張り出している構造を有することを特徴とする。

[0053]

また、本実施の形態2の配線の形成方法は、金属配線を選択的に形成する配線の形成方法において、絶縁基体13上に銅拡散防止膜14を形成する工程と、銅拡散防止膜14上に、無電解メッキ法により銅シード層18を選択的に形成する

工程と、銅シード層18をマスクとして銅拡散防止膜14をエッチングする工程と、電解メッキ法により選択的に形成した銅シード層18上に銅配線層20を選択的に形成する工程とを有することを特徴とする。また、銅シード層18を形成した後、アニールを行うことを特徴とする。また、無電解メッキ法により銅シード層18を選択的に形成する際に、感光性樹脂からなるマスク、例えばフォトレジスト膜15を用いることを特徴とする。

[0054]

実施の形態3

図7(a)~(d)は、本発明の実施の形態3の配線の形成方法を示す工程断面図である。

[0055]

本実施の形態3も、無電解メッキ法と電解メッキ法とを組み合わせることにより、基板上へ選択的に形成された銅拡散防止膜と銅シード層と銅配線層から成る配線の形成方法である。

[0056]

上記実施の形態1の図4(a)における基板11上への下地の絶縁膜12および銅拡散防止膜14の成膜から、図4(c)における銅シード層18の成膜までは全く同様なので、説明を省略する。

[0057]

図7 (a)に示すように、銅シード層18を成膜した後、基板22に対して表面酸化膜除去のため、濃度5%のフッ化水素酸溶液を用いて洗浄を行った後、基板22をカソードに、そして白金電極をアノードに設置して硫酸銅溶液中で定電流装置を用いて電極間に電流を流すという電解メッキ法により、図7 (b)に示すように、銅配線層20を成膜する。電解メッキ法では、カソードにおける銅の析出反応に銅シード層18の存在が不可欠であるため、フォトレジスト膜15上には銅配線層20は堆積せず、銅シード層18上に選択的に銅配線層20が成膜できる。このように基板上において選択的に配線を形成することができ、配線材料の除去・廃棄を行わないので、配線材料の省資源化が可能となる。電解メッキ処理の終了後、純水を用いて洗浄し、乾燥を行った後、フォトレジスト膜15を

除去する(図7 (c))。次いで、銅配線層20をマスクとしてRIE法により 銅拡散防止膜14のエッチングを行い、図7 (d)に示すように、配線部以外の 箇所の銅拡散防止膜14を除去する。

[0058]

以上で配線層材料として銅を用いた配線が完成する。その構造は、銅配線層20が銅シード層18の上部に堆積しており、銅シード層18と銅拡散防止膜14の側面には銅が堆積しておらず、かつ、銅配線層20と銅シード層18と銅拡散防止膜14の側面が垂直であり、その面が揃っているという特徴を有する。また、側面が垂直であることから配線線幅の制御が容易となるため、本実施の形態3の配線は微細パターンを作成する際に有利となる。

[0059]

このように、本実施の形態3においても、CMP(化学的機械研磨法)を用いることなく、配線層材料として銅を用いた配線を形成することができることから、CMPが困難である大面積の基板に対しても適用可能である。

[0060]

なお、各膜の膜厚は、絶縁膜12が400nm、銅拡散防止膜14が50nm 、無電解メッキ法で成膜した銅シード層18が100nm、電解メッキ法で成膜 した銅配線層20が400nmである。

[0061]

図3は本実施の形態3の配線の構造を示す断面図である(図7(d)と同じ)

本実施の形態3の配線は、図3に示すように、銅配線層20が銅シード層18 の上部に堆積しており、銅シード層18の側部と銅拡散防止膜14の側部には銅が堆積しておらず、銅配線層20と銅シード層18と銅拡散防止膜14の側部の 位置が揃っている構造を有することを特徴とする。

[0062]

また、本実施の形態3の配線の形成方法は、金属配線を選択的に形成する配線の形成方法において、絶縁基体13上に銅拡散防止膜14を形成する工程と、銅拡散防止膜14上に、無電解メッキ法により銅シード層18を選択的に形成する

工程と、選択的に形成した銅シード層18上に、電解メッキ法により銅配線層2 0を選択的に形成する工程と、銅配線層20をマスクとして銅拡散防止膜14を エッチングする工程とを有することを特徴とする。また、無電解メッキ法により 銅シード層18を選択的に形成する際に、感光性樹脂からなるマスク、例えばフ オトレジスト膜15を用いることを特徴とする。

- [0063] -----

実施の形態4

図8(a)~(f)は、本発明の実施の形態4のMOS構造n型TFTの形成方法を示す工程断面図である。

[0064]

まず、図8(a)に示すように、ガラス等からなる基板11上にPE-CVD 法により、不純物の拡散を防ぐアンダーコート膜31を堆積させた後、その上に 活性層となるアモルファスシリコン膜32を堆積させる。次に、500℃でアニ ールすることでアモルファスシリコン膜32中の水素を脱離させる。

[0065]

そして、図8(b)に示すように、ELA(Excimer Laser Anneal)法により、アモルファスシリコン膜32(図8(a))をポリシリコン膜33に再結晶化し、PEPによりレジストコートした後、CDE(Chemical Dry Etching)法を用いてポリシリコン膜33をアイランド状に加工する。

[0066]

その後、図8(c)に示すように、PE-CVD法によりゲート絶縁膜34を 形成する。

[0067]

その後、図8(d)に示すように、銅拡散防止膜14を成膜した後、PEPによりレジストコートして、無電解メッキ法により銅シード層18を選択的に形成し、レジスト膜を除去した後、PH3をドーピングガスに用いてイオンドーピング法によりドナーとなるリンをポリシリコン膜33に低濃度に注入する(ドーズ量3.0×10¹³/cm²、加速電圧10keV)。このとき、打ち込まれたリンが銅拡散防止膜14を透過するのに対し、銅シード層18は透過しないこと

から、ポリシリコン膜33の銅シード層18の真下に位置する部分にはリンが注入されず、また、リンが注入された部分は低濃度不純物領域(LDD領域38(図8(e)参照))となる。

[0068]

その後、図8(e)に示すように、電界メッキ法により銅配線層20を銅シード層18上に選択的に成膜し、その後、銅配線層20をマスクとして銅拡散防止膜14のエッチングを行うという上記実施の形態1で示した通りの方法でゲート電極35を形成した後、PH3をドーピングガスに用いてイオンドーピング法によりドナーとなるリンをポリシリコン膜33に高濃度に注入する(ドーズ量2.5×10¹⁵/cm²、加速電圧70keV)。このとき、ポリシリコン膜33の銅配線層20の真下に位置する部分にはリンが注入されず、また、その他の部分は高濃度不純物領域(ソース領域・ドレイン領域39)となり、LDD構造ができ上がる。LDD構造の形成に際して、従来はフォトリソグラフを用いているため、1μm以下での位置制御が困難であるが、本発明による配線を用いると、銅配線層20の膜厚によって位置制御が可能なことから0.1μm単位での制御が可能となり、微細パターンを実現できる。また、注入された不純物は500℃でアニールすることで十分に活性化される。

[0069]

次に、図8(f)に示すように、PEPによりレジストコートした後、ゲート 絶縁膜34をエッチングすることでコンタクトホール36をポリシリコン膜33 の表面まで開口し、さらに、A1Nd/Moのように2層構造からなるソースお よびドレイン電極につながる配線37をスパッタ法により成膜した後、PEPに よりレジストコートし、エッチングし加工する。

[0070]

以上のような工程でMOS構造 n型TFTが形成される。なお、成膜した各膜の膜厚は、アンダーコート膜31が150nm、アモルファスシリコン膜32が50nm、ゲート絶縁膜34が135nm、ゲート電極35が500nm、配線37のA1Nd/Mo膜が640/50nmである。

[0071]

実施の形態5

図9 (a) ~ (f) は、本発明の実施の形態5のMOS構造n型TFTの形成方法を示す工程断面図である。

[0072]

上記実施の形態4の図8(a)における基板11へのアンダーコート膜31およびアモルファスシリコン膜32の成膜から、図8(c)におけるゲート絶縁膜34の成膜までは全く同様なので、説明を省略する。

[0073]

図9 (c)に示すように、ゲート絶縁膜34を成膜した後、図9 (d)に示すように、銅拡散防止膜14を成膜し、PEPによりレジストコートして、無電解メッキ法により銅シード層18を選択的に形成した後、レジスト膜を除去し、銅シード層18をマスクとして銅拡散防止膜14のエッチングを行い、その後、電解メッキ法により銅配線層20を銅シード層18上に選択的に成膜するという上記実施の形態2で示した通りの方法でゲート電極35を形成する

その後、図9(e)に示すように、PH₃をドーピングガスに用いてイオンドーピング法によりドナーとなるリンをポリシリコン膜33に注入する(ドーズ量2.5×10¹⁵/cm²、加速電圧70keV)。このとき、ポリシリコン膜33の銅配線層20の側部が銅拡散防止膜14の側部より張り出している箇所の真下に位置する部分にはリンが注入されず、高抵抗領域となることから、従来は2回のイオンドーピング法で別個に形成しているソース領域・ドレイン領域とリーク電流を抑制するための高抵抗領域を、本発明による配線を用いると、1回のイオンドーピング処理で同時に形成することができ、工程数の削減を実現できる。ここで注入された不純物は、500℃でアニールすることで十分に活性化される。

[0074]

次に、図9(f)に示すように、PEPによりレジストコートした後、ゲート 絶縁膜34をエッチングすることでコンタクトホール36をポリシリコン膜33 の表面まで開口し、さらに、A1Nd/Moのように2層構造からなるソースお よびドレイン電極につながる配線37をスパッタ法により成膜した後、PEPに よりレジストコートし、エッチングし加工する。

[0075]

以上のような工程でMOS構造 n型TFTが形成される。なお、成膜した各膜の膜厚は、アンダーコート膜31が150nm、アモルファスシリコン膜32が50nm、ゲート絶縁膜34が135nm、ゲート電極35が500nm、配線37のA1Nd/Mo膜が640/50nmである。

[0076]

以上本発明を実施の形態に基づいて具体的に説明したが、本発明は上記実施の 形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可 能であることは勿論である。例えば、上記実施の形態1、2、3では、配線の材 料として銅を用いたが、これに限定されず、銅を含む合金やその他の金属の配線 に適用してもよい。

[0077]

【発明の効果】

以上説明したように、本発明によれば、CMP(化学的機械研磨法)が困難である大きな基板上への金属配線の形成を実現でき、また、配線形成における配線材料の省資源化、および製造工程数の低減による製造コストの削減を実現できる

【図面の簡単な説明】

【図1】

本発明の実施の形態1の配線の構造を示す断面図である。

【図2】

本発明の実施の形態2の配線の構造を示す断面図である。

【図3】

本発明の実施の形態3の配線の構造を示す断面図である。

【図4】

(a)~(f)は本発明の実施の形態1の配線の形成方法を示す工程断面図である。

【図5】

銅シード層の膜応力のアニールによる変化を示す図である。

【図6】

(a)~(f)は本発明の実施の形態2の配線の形成方法を示す工程断面図である。

【図7】

(a)~(d)は本発明の実施の形態3の配線の形成方法を示す工程断面図である。

【図8】

(a)~(f)は、本発明の実施の形態4のMOS構造n型TFTの形成方法を示す工程断面図である。

【図9】

(a)~(f)は、本発明の実施の形態5のMOS構造n型TFTの形成方法を示す工程断面図である。

【図10】

(a)~(e)は従来のダマシン法を用いた配線の形成方法を示す工程断面図である。

【符号の説明】

- 11…基板
- 12…下地絶縁膜
- 13…絶縁基体
- 14…銅拡散防止膜
- 15…フォトレジスト膜
- 16…溝
- 17…基板
- 18…銅シード層
- 19…基板
- 20…銅配線層
- 2 1 …基板
- 22…基板

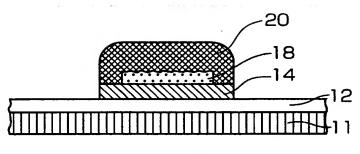
- 31…アンダーコート膜
- 32…アモルファスシリコン膜
- 33…ポリシリコン膜
- 34…ゲート絶縁膜
- 35…ゲート電極
- 36…コンタクトホール
- 3 7 …配線
- 38…LDD領域
- 39…ソース領域・ドレイン領域
- 131…基板
- 132…絶縁膜
- 133…研磨停止膜
- 134…フォトレジスト膜
- 135…溝
- 136…溝
- 137…銅拡散防止膜
- 138…銅シード層
- 139…溝
- 140…銅配線層

【書類名】

図面

【図1】

図1



11…基板

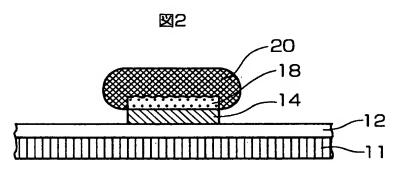
12…下地絶縁膜

14…銅拡散防止膜

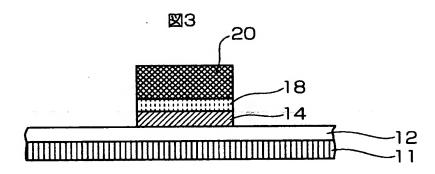
18…鍋シード層

20…銅配線層

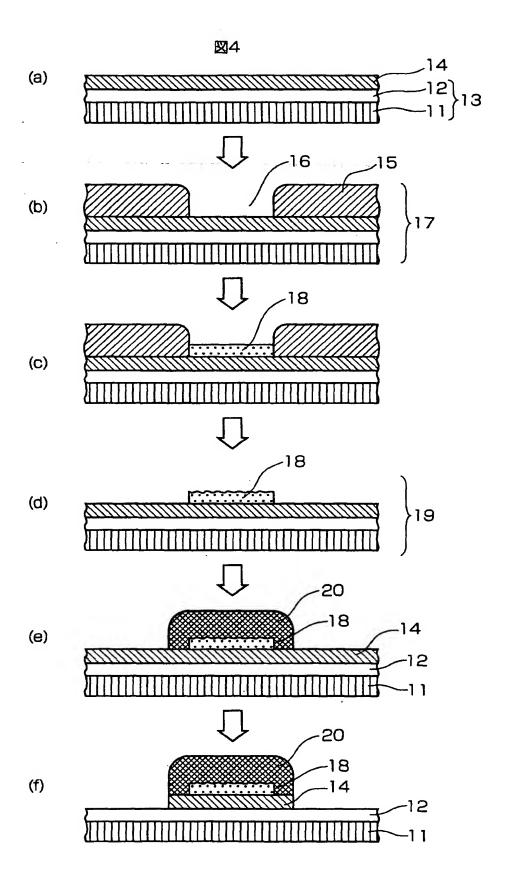
【図2】



【図3】

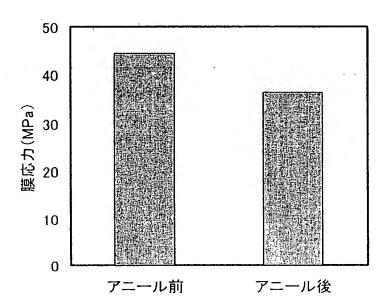


【図4】

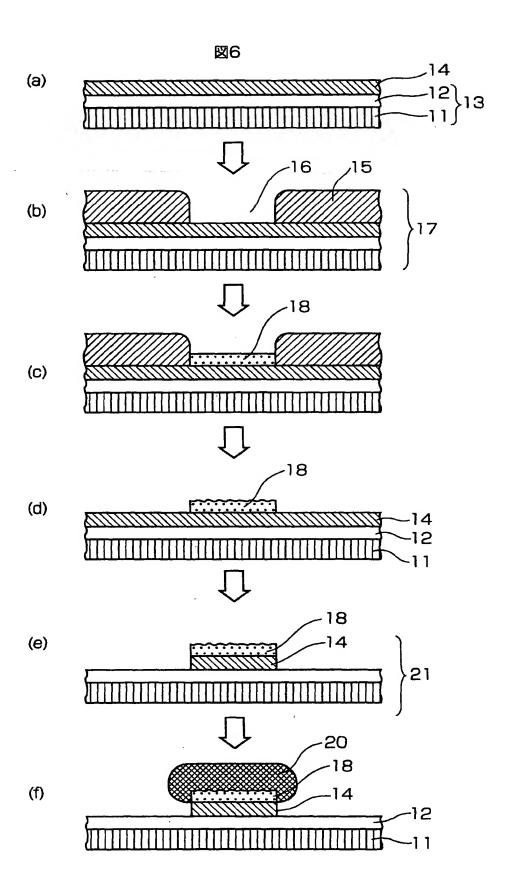


【図5】

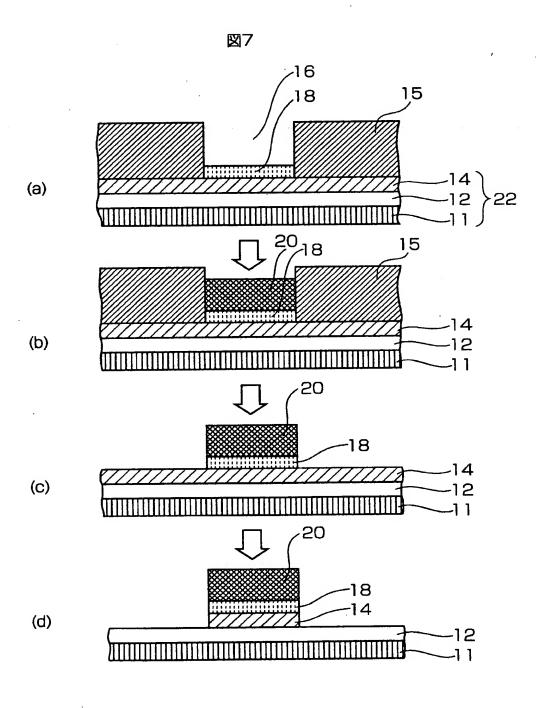
図 5



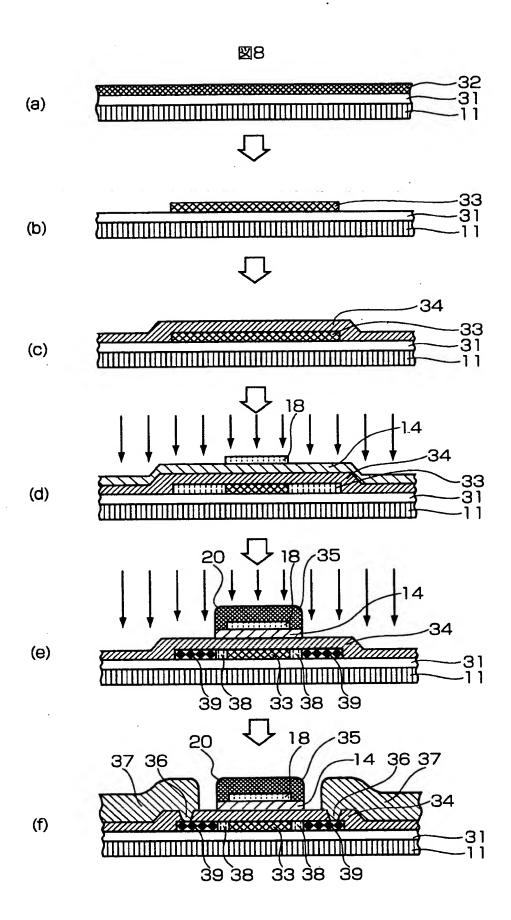
【図6】



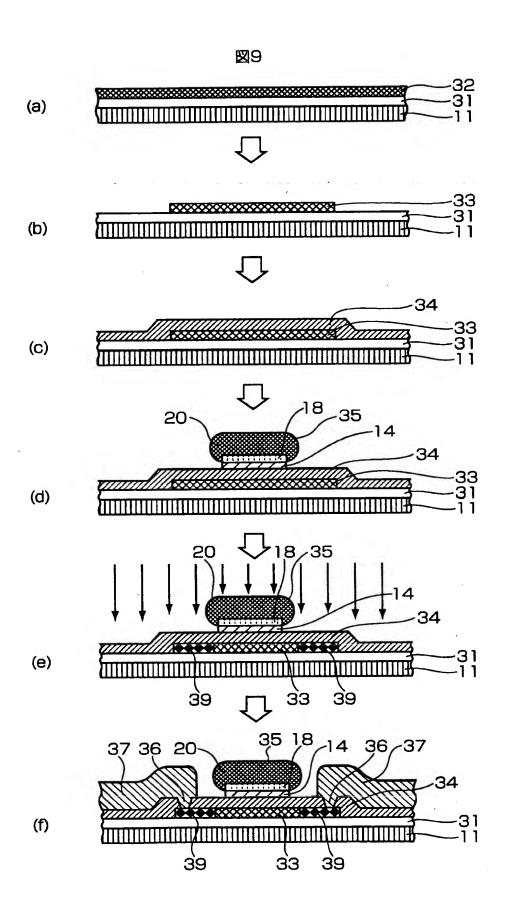
【図7】



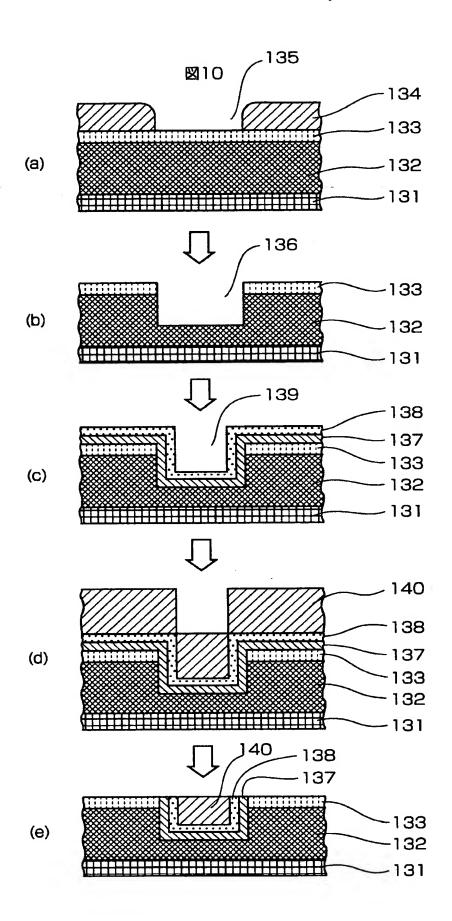
【図8】



【図9】



【図10】



【書類名】 要約書

【要約】

【課題】大きな基板上への金属配線の形成を実現でき、また、配線材料の省 資源化、および製造工程数の低減による製造コストの削減を実現する。

【解決手段】基板11上に下地絶縁膜12を形成し、その上に銅拡散防止膜14を形成し、その上にフォトレジスト膜15を選択的に形成し、フォトレジスト膜15で覆われない露出した銅拡散防止膜14上に、無電解メッキ法により銅シード層18を選択的に形成し、選択的に形成した銅シード層18上に、電解メッキ法により銅配線層20を選択的に形成し、銅配線層20をマスクとして銅拡散防止膜14をエッチングし、基板11上に銅配線を選択的に形成する。

【選択図】 図4

出願人履歴情報

識別番号

[501286657]

1. 変更年月日

2001年 7月18日

[変更理由]

新規登録

住 所

神奈川県横浜市戸塚区吉田町292番地

氏 名

株式会社 液晶先端技術開発センター